

PATENT ABSTRACTS OF JAPAN

(11)Publication number : **08-179958**

(43)Date of publication of application : **12.07.1996**

(51)Int.CI.

G06F 11/22

G06F 11/28

G06F 15/78

(21)Application number : **06-336209**

(71)Applicant : **SONY CORP**

(22)Date of filing : **22.12.1994**

(72)Inventor : **FUJISHIRO TOSHIHIKO**

OIWA JUNJI

MURAYAMA NAOKI

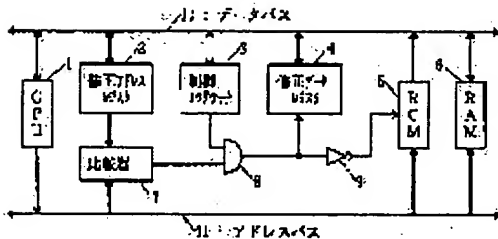
YAMAMOTO IWAO

(54) ELECTRONIC DEVICE FOR CONTROL

(57)Abstract:

PURPOSE: To provide a microcomputer capable of performing debugging without using an ICE by executing a program for debugging assembled in the microcomputer corresponding to a command from a host computer.

CONSTITUTION: In the microcomputer shown in the figure, the execution of an application program for debugging can be interrupted by executing a program in which a break address is stored in a correction address register 2, and data to start an interruptive operation execution program in a correction data register 4 and (1) in a latch 3, respectively by the command from a host side, and switching the access object of a CPU 1 from a ROM 5 to the correction data register 4 based on the output signal of a comparator when the execution address of the CPU 1 coincides with the break address. In addition to that, various kinds of debugging



operations can be performed by executing every kind of program for debugging assembled in the microcomputer.

LEGAL STATUS

[Date of request for examination]

10.03.2000

[Date of sending the examiner's decision of rejection] 18.09.2001

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number] 3449812

[Date of registration] 11.07.2003

[Number of appeal against examiner's decision of rejection] 2001-18800

[Date of requesting appeal against examiner's decision of rejection] 18.10.2001

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平8-179958

(43) 公開日 平成8年(1996)7月12日

(51) Int. Cl. ⁴	識別記号	庁内整理番号	P I	技術表示箇所
G 0 6 F 11/22	3 4 0 A			
11/28	L	7313-5B		
15/78	5 1 0 K			

審査請求 未請求 請求項の数 4 F D (全 8 頁)

(21) 出願番号 特願平6-336209

(22) 出願日 平成6年(1994)12月22日

(71) 出願人 000002185

ソニー株式会社

東京都品川区北品川6丁目7番35号

(72) 発明者 藤代 俊彦

東京都品川区北品川6丁目7番35号 ソニ

ー株式会社内

(72) 発明者 大岩 純二

東京都品川区北品川6丁目7番35号 ソニ

ー株式会社内

(72) 発明者 村山 直樹

東京都品川区北品川6丁目7番35号 ソニ

ー株式会社内

(74) 代理人 弁理士 杉山 猛

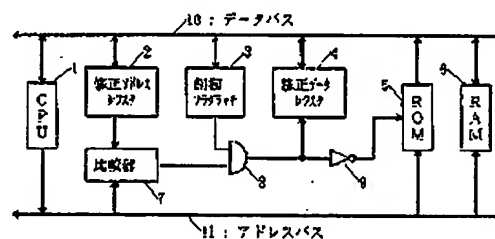
最終頁に続く

(54) 【発明の名称】 制御用電子装置

(57) 【要約】

【目的】 ホストコンピュータからの指令に応じて、マイコン内部に組み込まれたデバッグ用プログラムを実行させることにより、IC Eを用いることなくデバッグを可能としたマイコンを提供する。

【構成】 図のマイコンにおいて、デバッグのためにアプリケーションプログラムの実行を中断させる場合は、修正アドレスレジスタ2にブレイクアドレスを、修正データレジスタ4に中断動作実行プログラムを開始させるためのデータを、ラッチ3に「1」をそれぞれ格納するプログラムをホスト側からの指令で実行させ、CPUの実行アドレスがブレイクアドレスに一致したとき、比較器の出力信号に基づきCPUのアクセス対象をROMから修正データレジスタに切り換える。この他にも、マイコン内に組み込まれた種々のデバッグ用プログラムを実行させることにより、様々なデバッグ動作を行うことができる。



(2)

特開平8-179958

1

【特許請求の範囲】

【請求項1】 (1) 中央処理手段と、(2) アプリケーションプログラムが格納された固定記憶手段と、

(3) オペレーターによって選択された所定アドレスが格納される第1記憶手段と、(4) デバッグ処理を開始させるためのデバッグ開始用データが格納される第2記憶手段と、(5) 中央処理手段の実行アドレスと第1記憶手段に格納された所定アドレスとを比較する比較器と、(6) 該比較器の比較出力が入力される切換回路と、を備えた制御用電子装置において、

前記切換回路は、前記実行アドレスが前記所定アドレスに一致したことを示す比較器の一致出力に基づいて、中央処理手段のアクセスを固定記憶手段から第2記憶手段へ切り換えるものであることを特徴とする制御用電子装置。

【請求項2】 固定記憶手段は、更に、デバッグ処理を実行するためのデバッグ用プログラムを格納し、かつ、デバッグ開始用データは、デバッグ用プログラムへのジャンプ命令であることを特徴とする請求項1記載の制御用電子装置。

【請求項3】 更に、第3記憶手段を備え、かつ、該第3記憶手段には、デバッグ開始用データに基づくジャンプ動作のジャンプ先アドレスが格納されることを特徴とする請求項2記載の制御用電子装置。

【請求項4】 デバッグ開始用データは、前記所定アドレスにおいて無限ループを実行させる命令であることを特徴とする請求項1記載の制御用電子装置。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明は、制御プログラムを内蔵した制御用電子装置に関し、特に制御プログラムのデバッグを容易に行うことができるように構成された制御用電子装置を提供するものである。

【0002】

【従来の技術】 一般に、制御対象となる機器にマイコン等の制御用電子装置を搭載して制御を行う場合、この電子装置の制御プログラムを開発するに際しては、ハードウェアを含めたデバッグを行う必要がある。そして、そのようなハードウェアを含めたデバッグを可能にする方法としては、従来から in-Circuit Emulator (以下、ICEという) 或るいはロジックアナライザ等が使用されているが、通常、ICEを使用してデバッグを行う場合には、電子装置内のCPUを取り除いてICEと接続可能な評価用チップを作製し、目的の制御対象である機器にこの評価用チップを搭載した状態でICEと接続して、アプリケーションプログラムの一時実行停止、メモリの参照/設定、或るいは逆アセンブル等のデバッグのための処理を実行するようにしている。

【0003】

2

【発明が解決しようとする課題】 上に述べたように、従来、ICEを用いてハードウェアを含めたデバッグを行うためには特別に評価用チップを作製しなければならないという問題があり、換言すれば、既にマイコン等の制御用電子装置が組み込まれてしまった制御対象機器については、制御用電子装置を取り外して評価用チップ等に交換しなければICEを用いたデバッグを行うことができなかった。更に、通常、ICEを使用してメモリの参照/設定等の操作を行う際にはプログラムのエミュレーションを一時停止状態にしなければならないが、制御機器によってはエミュレーションを一時停止することによって不具合を生ずるものもあり、このようなものにおいては容易にプログラムの実行を一時停止できないため、デバッグ処理を進めるうえで不都合なこともあった。

【0004】

【課題を解決するための手段】 本発明は、制御用電子装置であって、中央処理手段と、アプリケーションプログラムが格納された固定記憶手段と、オペレーターによって選択された所定アドレスが格納される第1記憶手段と、デバッグ処理を開始させるためのデバッグ開始用データが格納される第2記憶手段と、中央処理手段の実行アドレスと第1記憶手段に格納された所定アドレスとを比較する比較器と、該比較器の比較出力が入力される切換回路とを備え、前記切換回路は、前記実行アドレスが前記所定アドレスに一致したことを示す比較器の一致出力に基づいて、中央処理手段のアクセスを固定記憶手段から第2記憶手段へ切り換えることを特徴としている。

【0005】 ここで、固定記憶手段に更にデバッグ処理を実行するためのデバッグ用プログラムを格納し、かつ、デバッグ開始用データを、デバッグ用プログラムへのジャンプ命令とするのが好適であり、この場合、デバッグ開始用データによるジャンプ先のアドレスを格納するための第3記憶手段を更に設ける構成とすることもできる。この外に、デバッグ開始用データとして、所定アドレスにおいて無限ループを実行させる命令を用いてもよい。

【0006】

【作用】 制御用電子装置に組み込まれたアプリケーションプログラムをデバッグするための処理が、制御用電子装置自身によって行われる。デバッグ処理を行うに際しての開始アドレスは、オペレーターが随意指定可能である。デバッグ処理動作中においても、制御用電子装置が割り込み処理を受け付けることが出来る。

【0007】

【実施例】 現在、制御用電子装置としては、様々なマイコンが使用されているが、その中で、既に公知であるパッチ修正の可能な1チップマイコンに本発明を適用した場合の実施例について説明する。かかる1チップマイコンの1構成例を図1に示す。最初にこのマイコンにおけるパッチ修正について以下に簡単に説明する（なお、こ

(3)

特開平8-179958

3

4

のようなマイコンにおけるバッチ修正動作の詳細は、例えば、特開平6-222917号公報に記載されている）。

【0008】図1の構成において、バグ等の存在によりROM5内に格納されたアプリケーションプログラムにバッチ修正を行いたい部分があるときは、このバッチ修正部分の先頭アドレスを修正アドレスレジスタ2へ格納すると共に、このバッチ修正部分に代わって実行すべきバッチ修正プログラムをRAM6に格納しておく。また、CPU1におけるプログラム実行をアプリケーションプログラムからバッチ修正プログラムへ切り換える際に必要となる種々の前処理を行うための前処理プログラムをROM5内の特定のエリアに格納しておく。更に、修正データレジスタ4にはCPUの動作をバッチ修正動作へ移行させるためのテーブルコール命令を格納しておく。そして、このマイコンによる制御動作において、以上のレジスタ2、3、及びRAM6、ROM5に格納されたバッチ修正用のデータに基づいてバッチ修正を実行させる場合は、制御フラグラッチ3に予め値「1」のフラグを格納しておく。

【0009】以上のように構成されたマイコンにおけるバッチ修正は次のように行われる。即ち、CPU1によるアプリケーションプログラムの実行が進行してその実行アドレスが修正アドレスに一致すると、比較器7の出力が値「1」となってアンドゲート8の出力信号がアクティブ（値「1」）となり、この信号が修正データレジスタ4へ供給されると共に、ROM5へはその反転されたインアクティブの信号が供給される。これにより、CPU1は、ROM5内のアプリケーションプログラムのコマンドに代え修正データレジスタ内のテーブルコール命令を受け付けることとなる。そして、このテーブルコール命令によって前記の前処理プログラムの先頭アドレスがコールされるため、この前処理プログラムの実行が開始され、その後、RAM6内のバッチ修正プログラムへ移行してこのプログラムの実行を終了すると、ROM5のアプリケーションプログラムのバッチ修正部分の次のアドレスへ戻る動作を行う。

【0010】図1に示されるマイコンにおいては、以上のようにしてバッチ修正が実行されるが、本実施例は、このマイコンにおいて、デバッグを行うために必要な様々な動作、例えば、アプリケーションプログラムの実行を所望のアドレスで中断させたり、この中断したアドレスからアプリケーションプログラムの実行を再開させたり、或るいは、レジスタ及びメモリの参照/設定等を実行させる等の動作を実行するためのプログラム（以下、デバッグモニタという）を予めアプリケーションプログラムと共にマイコン内に組み込んでおくことにより、ICEを用いることなくデバッグ処理が行えるようにしたものである。

【0011】そして、これらのデバッグモニタを実行さ

せるための指令は、外部のホストコンピュータからシリアルもしくはパラレルの通信路を用いてマイコンへ与えるように構成する。なお、この通信路は、デバッグモニタ占有、或るいはアプリケーションプログラムとの分割使用のいずれの形態にしてもよい。次に、デバッグモニタの例として、アプリケーションプログラムの実行の中断（ブレイク）及び再開を行わせるためのプログラムを、図2及び図3を参照して説明する。

【0012】図2は、アプリケーションプログラムの実行を中断するためのプログラムを示し、マイコンは、ホスト側からブレイクアドレスデータを含むブレイク要求を受け付けると、この図の〔1〕に示されるプログラムの実行を開始し、そのステップS2及びステップS3において中断動作の実行に必要なデータを修正アドレスレジスタ及び修正データレジスタ等に格納した後、もとのアプリケーションプログラムに戻る。そして、アプリケーションプログラムの実行が進行してその実行アドレスがブレイクアドレスに一致するとブレイク用テーブルコール命令によってコールされるアドレスへジャンプする。一方、このコールされたアドレス以降には、この図の〔2〕に示されるプログラムが書き込まれているので、CPUは、このプログラムのステップS4を実行して退避処理を行った後、ブレイク解除フラグがONとなるまでステップS5のループを繰り返して中断状態となる。

【0013】ここで、ブレイク解除フラグは、ホスト側から再開指令が出されたときのみONにされ、この再開指令に基づいて実行されるプログラムは図3に示すとおりである。即ち、再開指令が出されたときには、このプログラムの実行により制御フラグ及びブレイク解除フラグの値を反転した後、図2の〔2〕のステップS5へ戻り、更にステップS6でCPUの状態をブレイク直前の状態に戻してからブレイクアドレスへジャンプし、アプリケーションプログラムの実行を再開する。なお、以上の図2及び図3に示される各プログラムは、いずれもROM5内に格納しておくことができる。また、これらの中断/再開動作では、PSW及びレジスタの値の退避・復帰処理が行われるので、アプリケーションプログラムの再開に際して中断による影響を受けることもない。

【0014】なお、以上に説明したように、CPUによるプログラム実行をホスト側からの指令に応じてアプリケーションプログラム、中断プログラム、及び再開プログラムの間で相互に切り換えるようにするためには、アプリケーションプログラム、図2の〔1〕及び〔2〕からなる中断プログラム、及び図3の再開プログラムを、それぞれ1つのタスクとして異なる優先度を付与し、ホスト側からの指令に応じてこれらのタスクを切り換えて実行するマルチタスク方式のOS（Operation System）を採用すれば簡単に実現できる。また、OSを使用しなかったマイコンの場合には、例え

(4)

特開平8-179958

5

ば、アプリケーションプログラムの中に図2の〔1〕のプログラムを挿入しておき、中断指令を受け付けたときこの挿入されたプログラムのステップS2を実行させることにより、アプリケーションプログラム上のブレイクアドレスで図2の〔2〕のプログラムへ移行させるようにし、かつ、図3の再開プログラムを割り込みプログラムとして実行させることにより実現が可能である。

【0015】なお、図1に示される構成では、2～4及び7～9からなる構成部分をバッチ修正とデバッグ処理とで共用しているため、バッチ修正に関するプログラム10 についてのデバッグ処理を行うことはできないが、上記の2～4及び7～9と同じ構成部分をもう1組マイコン内に組み込んでおき、それぞれの組をバッチ修正専用及びデバッグ処理専用として使用すれば、バッチ修正に関するプログラムについてもデバッグ処理を行うことが可能である。

【0016】以上に説明した実施例では、修正データレジスタに格納されたテーブルコール命令を使用して中断のためのプログラムへジャンプするようにしているが、これに代え、中断指令を受け付けたときは修正データレジスタに中断動作のためのジャンプ命令を書き込むように構成し、かつ、このジャンプ命令のジャンプ先アドレスが、テーブルコール命令用のテーブルが設けられているメモリとは異なる特定のレジスタに格納されているものとして定義されたマイコンを使用することもできる。

【0017】このようなマイコンの構成を図4に示す。この図の構成において、レジスタ12は、中断動作のためのジャンプ先のアドレスが格納される可変ジャンプ先アドレスレジスタであり、ホスト側から中断指令が入力されると図2の〔1〕のプログラムに代えて図5に示されるプログラムが実行される。そして、このプログラムのステップS21においてジャンプ先アドレスがレジスタ12に書き込まれる。なお、このジャンプ先のアドレス以降には、図2の〔2〕と同じプログラムが格納されており、また、再開動作も図3と同じプログラムに従って実行される。

【0018】なお、この外に、マイコンに対してアプリケーションプログラムの実行を中断させるためのより簡略化した方法としては、中断指令を受け付けたとき、図1における修正データレジスタ4にブレイクアドレスで無限ループを実行させる命令（このような命令の具体例としては、例えば、ブレイクアドレスへジャンプさせる命令を用いることができる）を書き込むようにしてもよい。このような方法を採用した場合の中断動作のプログラム、及び再開動作のプログラムの例を図6の〔1〕及び〔2〕に示す。但し、この例では、この図から明かなように、PSW及びレジスタの値の退避・復帰処理を行わないので、CPUの内部状態は中断動作中保存されない。なお、このように、ブレイクアドレスで無限ループを実行させる方法を使用し、かつ、バッチ修正用回路 50

6

として共用することも考慮しない場合は、修正データレジスタ4をROMで構成してもよい。

【0019】以上、中断/再開のデバッグモニタについて述べたが、この外に、メモリの参照/設定、逆アセンブル等の動作も、デバッグモニタとしてマイコン内に組み込んでおくことにより実行することができる。1例として、逆アセンブルのためのデバッグモニタの構成を図7に示す。この図において、マイコンは、逆アセンブル開始アドレスデータを含む逆アセンブル要求をホスト側から受け付けるとステップS15～ステップS17を実行することによりホスト側で逆アセンブルされたニーモニック言語が表示される。なお、マイコンからは、ニーモニックへ変換される以前のプログラムコードをホスト側へ伝送するように構成しておいて、ニーモニックへの変換動作は、ホスト側で実行するようにしてもよい。また、この逆アセンブル等のデバッグモニタも予めROM5内に格納しておくが、この逆アセンブル動作については、その起動に際して特にアプリケーションプログラム上のブレイクアドレスを指定することは行われない。

【0020】なお、図1及び図4に関しては、バッチ修正の可能なマイコンであることを前提として説明を行ったが、必ずしもバッチ修正を実行するマイコンである必要は無く、要するに、これらの図に示される2～4及び7～9等の構成部分を備えたマイコンであればよい。ただし、比較器7は、このようなハードの構成に限らずソフトウェアに置き換えてもよい。

【0021】

【発明の効果】ICEを使用することなく、マイコンを制御機器に搭載した状態のままでハードウェアを含めてプログラムのデバッグを行うことができるので、デバッグのために特別に評価用チップを作製する必要がない。マイコン自身が、内部に組み込まれたデバッグ用プログラムを実行することによりデバッグ動作を行うものであるため、ICEを使用する場合と異なってデバッグ処理動作中であってもマイコン本体が動作状態にあり、デバッグ処理動作中にも種々の割り込み処理を受け付けることができる。従って、デバッグのための様々な処理を行っていくうえで操作がし易い。

【図面の簡単な説明】

【図1】本発明の1実施例の構成を示す図である。

【図2】同実施例における中断動作のためのフローを示す図である。

【図3】同実施例における再開動作のためのフローを示す図である。

【図4】本発明の他の実施例の構成を示す図である。

【図5】同他の実施例における中段動作のためのフローを示す図である。

【図6】本発明の更に他の実施例における中段動作及び再開動作のためのフローを示す図である。

【図7】本発明の実施例における逆アセンブル動作のた

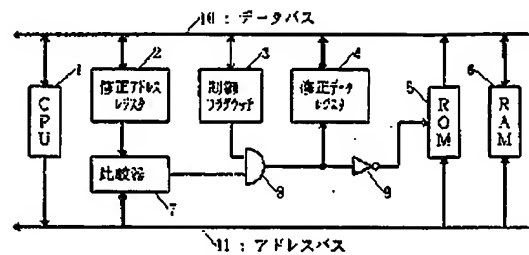
(5) 特開平8-179958

めの流れを示す図である。

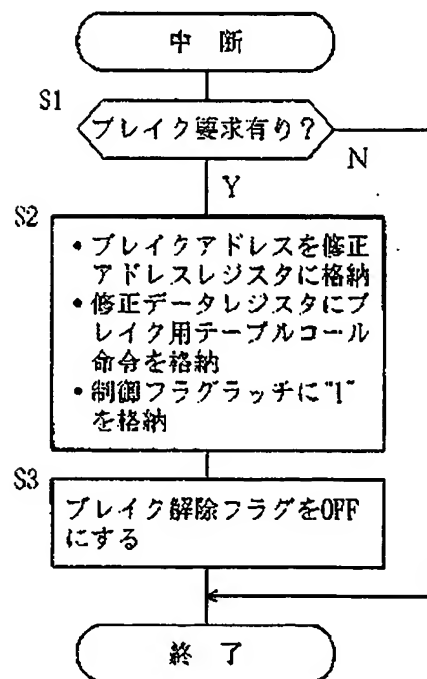
【符号の説明】

1…CPU、 2…修正アドレスレジスタ、 3…制御フラグラッチ、 4…修正データレジスタ、 5…ROM、 6…RAM、 7…比較器、 8…ジャンプ先アドレスレジスタ、

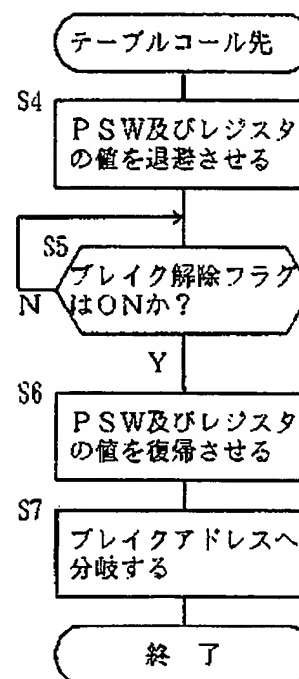
【図1】



【図2】



(1)

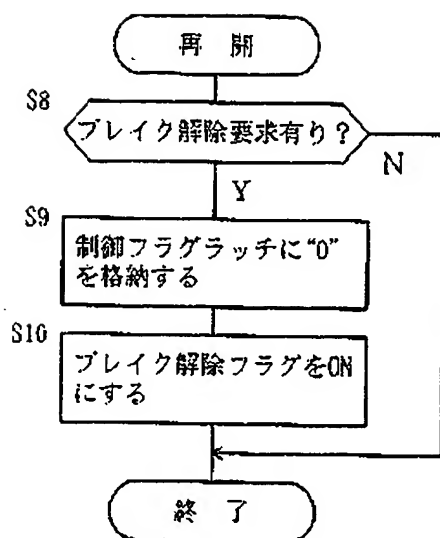


(2)

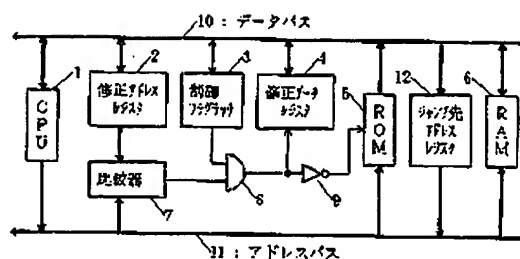
(5)

特開平8-179958

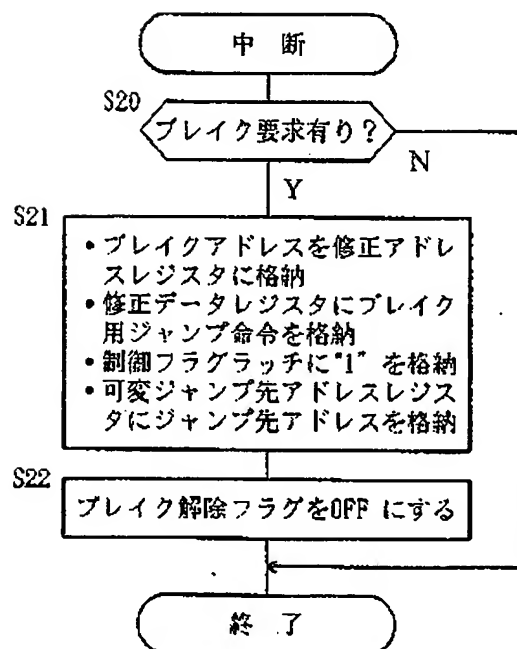
【図3】



【図4】



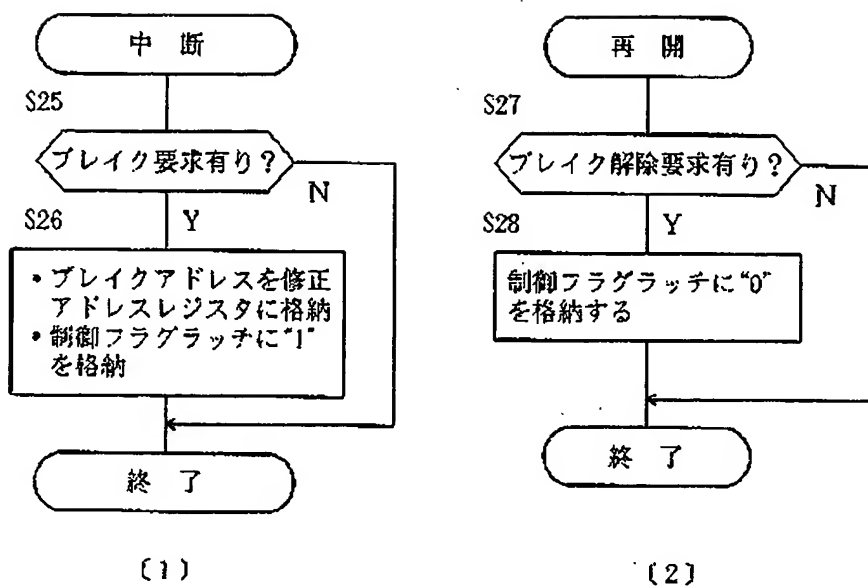
【図5】



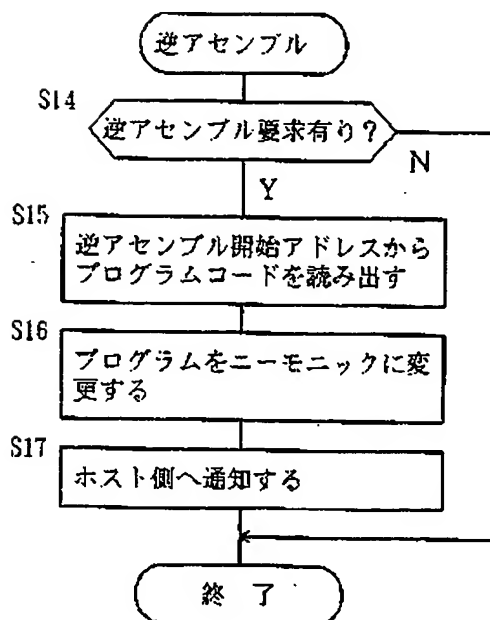
(7)

特開平8-179958

【図6】



【図7】



(8)

特開平8-179958

フロントページの続き

(72)発明者 山本 巖
東京都品川区北品川6丁目7番35号 ソニ
ー株式会社内

? e pn=jp 8179958

Ref	Items	Index-term
E1	1	PN=JP 8179956
E2	1	PN=JP 8179957
E3	1	*PN=JP 8179958
E4	1	PN=JP 8179959
E5	1	PN=JP 8179960
E6	1	PN=JP 8179961
E7	1	PN=JP 8179962
E8	1	PN=JP 8179963
E9	1	PN=JP 8179964
E10	1	PN=JP 8179965
E11	1	PN=JP 8179966
E12	1	PN=JP 8179967

Enter P or PAGE for more

? s e3

S4 1 PN='JP 8179958'

? t s4/3,ab/all

4/3,AB/1

DIALOG(R)File 351:Derwent WPI

(c) 2004 Thomson Derwent. All rts. reserv.

010878903

WPI Acc No: 1996-375854/ 199638

XRPX Acc No: N96-316461

Microcomputer mounted type electronic controlling appts linked to host computer for debugging control program - uses switching circuit to switch access of processing unit from ROM to correction data register based on output of comparator

Patent Assignee: SONY CORP (SONY)

Number of Countries: 001 Number of Patents: 002

Patent Family:

Patent No	Kind	Date	Applicat No	Kind	Date	Week
JP 8179958	A	19960712	JP 94336209	A	19941222	199638 B
JP 3449812	B2	20030922	JP 94336209	A	19941222	200363

Priority Applications (No Type Date): JP 94336209 A 19941222

Patent Details:

Patent No	Kind	Lan Pg	Main IPC	Filing Notes
JP 8179958	A	8	G06F-011/22	
JP 3449812	B2	8	G06F-011/22	Previous Publ. patent JP 8179958

Abstract (Basic): JP 8179958 A

The appts includes a CPU (1). An application program is stored in a ROM (2). A predetermined address selected by user is stored in a latch (3). A debugging operation is commenced by the program held in the correction data register (4). A comparator (7) compares an execution address of the CPU with the address stored in the latch.

The output of the comparator is supplied to a switching circuit (6). Based on a coincidence between the compared values, an access of the processing unit is switched from the ROM to the correction data register.

ADVANTAGE - Eliminates need for in circuit emulator. Enables various debugging operation.

Dwg.1/7

1-1/1 From - CountDisplay format ☐ ** Result [P] ** Format(P807) 2004.12.10 1/ 1

Application no/date: 1994-336209[1994/12/22]
Date of request for examination: [2000/ 3/10]
Accelerated examination ()
Public disclosure no/date: 1996-179958 [1996/ 7/12]
Examined publication no/date (old law): []
Registration no/date: 3449812 [2003/ 7/11]
Examined publication date (present law): [2003/ 9/22]
PCT application no:
PCT publication no/date: []
Applicant: SONY CORP
Inventor: FUJISHIRO TOSHIHIKO, OIWA JUNJI, MURAYAMA NAOKI, YAMAMOTO IWA
IPC: G06F 11/22 , 340 G06F 11/28 G06F 15/78 , 510
FI: G06F 11/28 L G06F 11/22 , 340A G06F 15/78 , 510K
F-Term: 5B042AA07, AA12, BB05, BB13, BB25, EA03, EA09, 5B048AA12, AA15, DD01, FF04, 5B062
AA08, CC01, JJ08, 5B042GA07, HH05, HH25, HH40, LA10, GA12, GA13, GA23, GC08, HH01, HH04, H
H34, LA04, NN10
Expanded classification: 451, 454
Fixed keyword: R131
Citation:
[19, 2001. 6. 1,] (, JP, Unexamined Patent Publication, 1990161538)
[19, 2001. 6. 1,] (, JP, Unexamined Patent Publication, 1986097752)
[19, 2001. 6. 1,] (, JP, Unexamined Patent Publication, 1994324911)
Title of invention: ELECTRONIC DEVICE FOR CONTROL
Viability information of application: (right is in force)
Priority country/date/number: () [] ()
Domestic priority: [] ()
Original application number: ()
Original registration number: ()
Retroactive date: []
No. of claims (2)
Classification of examiners decision/date: (decision of rejection) [2001/ 9/18]
Final examination transaction/date: (registration) [2003/ 7/11]
Examination intermediate record:
(A63 1994/12/26, PATENT APPLICATION UTILITY MODEL REGISTRATION APPLICATION, 2
1000:)
(A961 1995/ 2/28, CORRECTION DATA BY EX OFFICIO (FORMALITY), :)
(A7424 1995/ 6/14, NOTIFICATION OF RESIGNATION OF POWER OF ATTORNEY, :
) (A961 1995/ 7/31, CORRECTION DATA BY EX OFFICIO (FORMALITY), :)
(A7424 1998/12/11, NOTIFICATION OF RESIGNATION OF POWER OF ATTORNEY, :
) (A967 1999/ 2/16, RECOGNITION? ADDITION INFORMATION, :)
(A7422 1999/ 7/12, NOTIFICATION OF ACCEPTANCE OF POWER OF ATTORNEY, :)
(A821 1999/ 7/12, WRITTEN SUPPLEMENT OF PROCEDURE, :)
(A821 1999/ 7/12, WRITTEN SUPPLEMENT OF PROCEDURE, :)
(A967 1999/ 8/ 2, RECOGNITION? ADDITION INFORMATION, :)
(A967 1999/ 8/ 2, RECOGNITION? ADDITION INFORMATION, :)
(A967 1999/ 8/ 2, RECOGNITION? ADDITION INFORMATION, :)
(A621 2000/ 3/10, WRITTEN REQUEST FOR EXAMINATION, 92300:)
(A967 2000/ 3/16, RECOGNITION? ADDITION INFORMATION, :)
(A9710072001/ 5/10, WRITTEN REPORT OF RETRIEVAL, :)
(A9710112001/ 6/ 1, SITUATION LIST OF UTILIZATION OF OUTSIDE AGENCY FOR SEARCHI
NG PATENT INFORMATION, :)

(A131 2001/ 6/12, WRITTEN NOTICE OF REASON FOR REJECTION, :)
 (A53 2001/ 8/ 7, WRITTEN OPINION, :)
 (A523 2001/ 8/ 7, WRITTEN AMENDMENT, :)
 (A967 2001/ 8/13, RECOGNITION? ADDITION INFORMATION, :)
 (A967 2001/ 8/13, RECOGNITION? ADDITION INFORMATION, :)
 (A02 2001/ 9/18, DECISION OF REJECTION, :)
 (A523 2001/11/19, WRITTEN AMENDMENT, :)
 (A523 2002/ 1/10, WRITTEN AMENDMENT, :)
 (A911 2002/ 1/17, TRANSFER TO RECONSIDERATION BY EXAMINER BEFORE APPEAL, :)
 (A913 2002/ 3/ 4, WRITTEN REPORT OF RECONSIDERATION BY EXAMINER BEFORE APPEAL, :)
 (A912 2002/ 3/ 8, RELEASE OF RECONSIDERATION BY EXAMINER BEFORE APPEAL, :) (A53 2003/ 4/28, WRITTEN OPINION, :)
 (A523 2003/ 4/28, WRITTEN AMENDMENT, :)
 (A61 2003/ 7/ 1, PAYMENT OF ANNUAL FEE, :)
 *** Trial no/date 2001- 18800[2001/10/18] Kind of trial [appeal against decision of rejection] ***
 Demandant: 13-SONY CORP
 Defendant: -
 Opponent: -
 Classification of trial decision of opposition/date: () []
 Final disposition of trial or appeal/date: ()
 approval of demand (completion of demand) [2003/ 6/10]
 Trial and opposition intermediate record:
 (T60 2001/10/18, DEMAND FOR TRIAL (INCLUDING OTHER DEMANDS AND REQUESTS), 6
 6000: A) (T523 2001/11/19, AMENDMENT (VOLUNTARY, CONTENTS), : B)
 (T11 2001/12/11, INVITATION TO AMEND (DEMAND) (BY THE DIRECTOR-GENERAL), : A) (T523 2002/ 1/10, AMENDMENT (VOLUNTARY, CONTENTS), : C)
 (T91 2002/ 1/17, TRANSFER OF EXAMINATION, :)
 (T21 2002/ 1/22, NOTIFICATION OF TRANSFER OF THE EXAMINATION TO THE EXAMINER S, :)
 (T92 2002/ 3/ 8, CANCELLATION OF TRANSFER OF EXAMINATION, :)
 (T211 2002/ 3/12, NOTICE OF CANCELLATION OF THE TRANSFER OF THE EXAMINATION, :) (T13 2003/ 2/25, NOTICE OF REJECTIONS, :)
 (T22 2003/ 2/25, NOTICE OF DESIGNATION (CHANGE) OF TRIAL EXAMINERS, :) (T523 2003/ 4/28, AMENDMENT (VOLUNTARY, CONTENTS), : D)
 (T53 2003/ 4/28, ARGUMENT, : E)
 (T03 2003/ 6/10, TRIAL DECISION, : A)

Registration intermediate record:

(R01 2003/ 6/10, A NOTICE OF DECISION OF REGISTRATION, :01)
 (R100 2003/ 7/ 1, A WRITTEN PAYMENT FOR ESTABLISHMENT, :01)
 (R151 2003/ 8/12, A NOTICE OF REGISTRATION, :01)

Amount of annuity payment: 3Years

Extinction of right/Lapse date of right: () []

Proprietor: 13-SONY CORP

Status of register: ()

Check All

Uncheck All

Display checked documents

Display format ----- Select the type of output. -----

1-1/1

Next page

From 1 - 1 Count

Back to list